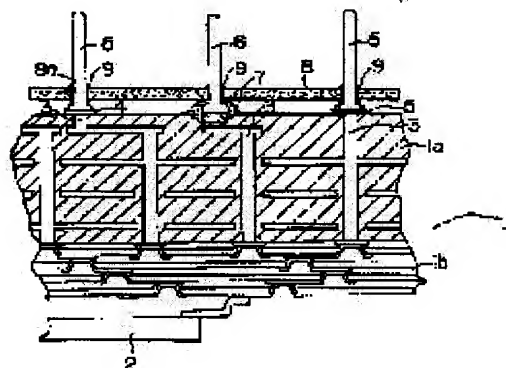


(11)Publication number : 05-102382
(43)Date of publication of application : 23.04.1993

H01L 23/50
H01R 9/09
H05K 3/46

(72)Inventor : INASAKA JUN

CONSTITUTION: Conductive adhesive 7 is embedded in a damaged part of an I/O pin, and a repair pin 6 is erected, made to adhere thereto, and electrically connected to the damaged part, and a normal I/O pin 5 and a repair pin 6 surrounding the damaged I/O pin are bridged and fixed to a fixing plate 8 to obtain mechanical strength.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-102382

(43)公開日 平成5年(1993)4月23日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 23/50

P 9272-4M

H 0 1 R 9/09

Z 6901-5E

H 0 5 K 3/46

Z 6921-4E

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号

特願平3-263801

(22)出願日

平成3年(1991)10月11日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 稲坂 純

東京都港区芝五丁目7番1号 日本電気株式会社内

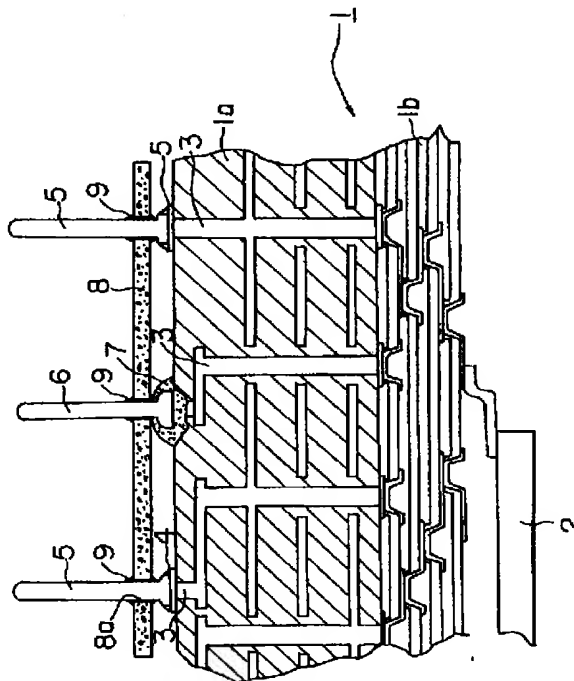
(74)代理人 弁理士 岩佐 義幸

(54)【発明の名称】 I/Oピンの修理構造および修理方法

(57)【要約】

【目的】 セラミック多層配線基板上に設けた外部接続用のI/Oピンがセラミック基板の一部と共に脱落して破損した場合、破損したI/Oピンを元の電氣的、機械的特性を持つように復帰させる修理構造と修理方法を提供する。

【構成】 I/Oピンが破損した部分に導電性接着剤7を埋め込み、この上に修理ピン6を起立接着させて電氣的に接続すると共に、破損したI/Oピンの周囲にある正常なI/Oピン5と修理ピン6とを固定板8によって架橋して固定することで機械的強度を得る。



【特許請求の範囲】

【請求項 1】セラミック等の多層配線基板上の I/O ピン破損部に新たに固着された I/O ピンと該 I/O ピンの周囲に位置する正常な I/O ピンとを固定板によって架橋して固定することを特徴とする I/O ピンの修理構造。

【請求項 2】セラミック等の多層配線基板上の I/O ピンの破損部に導電性接着剤を用いて新たな I/O ピンを固着することを特徴とする請求項 1 記載の I/O ピンの修理構造。

【請求項 3】セラミック等の多層配線基板上の I/O ピン破損部に新たな I/O ピンを固着する第 1 の工程と、前記新たな I/O ピンとその周囲に位置する正常な I/O ピンとを固定板によって架橋して固定する第 2 の工程とを含むことを特徴とする I/O ピンの修理方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はセラミック等の多層配線基板上に設けられた I/O ピンの修理構造と修理方法に関する。

【0002】

【従来の技術】従来、I/O ピンが設けられたセラミック等の多層配線基板としてはシングルチップモジュールのピングリッドアレイがある。

【0003】このような多層配線基板では、セラミック等の基板の表面に LSI チップが実装されており、裏面には基板に形成された複数のスルーホールを介して LSI チップと電気的に接続された複数の I/O ピンが設けられている。

【0004】上記の如き多層配線基板にあつては、I/O ピンが細いために図 9 ないし図 12 に示すように破損することがある。

【0005】すなわち、図 9 は I/O ピン 51 が軸部分で棄損した場合を示しており、図 10 は I/O ピン 51 がろう付部分で破損した場合を示している。また図 11 は I/O ピン 51 と取付パッド 52 が共にセラミック基板 53 から剥離して破損した場合を示しており、図 12 は I/O ピン 51 と共にセラミック基板 53 も破損した場合を示している。

【0006】

【発明が解決しようとする課題】従来の多層配線基板では、I/O ピンが破損しても、破損した I/O ピンの修理が行われることはなく、多層配線基板そのものを交換していた。

【0007】このため、シングルチップモジュールのような付加価値の高い基板を用いた電子装置では修理コストが高くなるという問題があった。

【0008】本発明の目的は、セラミック等の多層配線基板上の I/O ピンが取付パッドと共に、或いはセラミック基板の一部と共に破損した場合の修理構造と修理方

法を提供することにある。

【0009】

【課題を解決するための手段】本発明のセラミック等の多層基板の修理構造は、I/O ピン破損部に新たに固着した I/O ピンと、この I/O ピンの周囲に位置する I/O ピンとを架橋する固定板とを有する。

【0010】

【実施例】次に本発明について図面を参照して説明する。

10 【0011】図 1 は本発明の一実施例の修理構造を示す断面図、図 2 は正常な多層配線基板を示す断面図である。

【0012】本発明の修理構造および修理方法の説明に先立って、図 2 により I/O ピンが破損していない状態の多層配線基板の構成について説明する。

20 【0013】図 2 において、多層配線基板 1 は、セラミック基板 1a とこのセラミック基板 1a の表面に形成されたポリイミドを層間絶縁とする微細配線層 1b とによって構成されている。微細配線層 1b の上面には LSI チップ 2 が実装されている。

【0014】セラミック基板 1a には複数のスルーホール 3 が形成されており、セラミック基板 1a の裏面であつてそれぞれのスルーホール 3 に対応して取付パッド 4 が設けられている。そしてそれぞれの取付パッド 4 に外部接続用の I/O ピン 5 がろう付けされ、セラミック基板 1a のスルーホール 3 を介して LSI チップ 2 と電気的に接続されている。

30 【0015】スルーホール 3 の直径は 0.25 mm に設定され、内部にタングステン、モリブデン、金、銀、銀-パラジウム等の導体ペーストが埋め込まれている。また取付パッド 4 の直径は 1.3 mm に設定され、金メッキ膜、銅メッキ膜、厚膜金、厚膜銅、或いはパラジウム等のスパッタ膜により形成されている。

40 【0016】I/O ピン 5 は、直径 0.35 mm、長さ 5.0 mm の寸法を持って形成されている。I/O ピン 5 の取付パッド 5 と接合される端面は接着面積を増加して十分な強度を得るためにヘッダー加工が施されており、かつ表面には金メッキが施されている。I/O ピン 5 を取付パッド 4 にろう付けするためのろう材としては、一般に金/すず：80/20 (wt%) 或いは銀/銅：72/28 (wt%) 等の共晶合金のろう材が用いられている。

【0017】図 1 はセラミック基板 1a の裏面に設けられた複数の I/O ピン 5 の中、図における中央の I/O ピンが取付パッドと共に、或いはセラミック基板 1a の一部と共に破損した場合の修理構造を示すものである。

50 【0018】破損した I/O ピンの位置には新たな I/O ピン（修理ピン）6 が導電性接着剤 7 によってセラミック基板 1a に固着されている。また修理ピン 6 はこの修理ピン 6 の周囲にある正常な I/O ピン 5 と固定板 8

によって架橋され、かつそれぞれのI/Oピン5、6を固定板8に接着剤9によって固定することで支持されている。

【0019】このような修理構造と修理方法について図3～図5を用いて具体的に説明する。

【0020】先ず、図3に示すように破損したI/Oピンの位置に導電性接着剤7を埋め込み、この導電性接着剤7に修理ピン6を起立接着させる。このとき、修理ピン6を起立させる位置は、周囲にある正常なI/Oピン5からの寸法を計測して割り出す。修理ピン6を接着するための導電性接着剤7としては、金-ポリイミド、銀-エポキシ等からなるものが用いられる。このように、I/Oピンの破損位置に修理ピン6を導電性接着剤7によって接着することで多層配線基板1を修理することが可能である。

【0021】しかし、修理ピン6を導電性接着剤7によってセラミック基板1aに接着しただけではこの修理ピン6を強固にセラミック基板1aに固着することは困難である。

【0022】このため、図4の斜視図に示すように、修理ピン6とこの修理ピン6の周囲にある正常な状態でセラミック基板1aに接合されているI/Oピン5とを固定板8で架橋し、かつI/Oピン5および修理ピン6を固定板8に接着剤9によって接着することで、固定板8を介して修理ピン6を周囲のI/Oピン5によって支持する。

【0023】本実施例において、固定板8としては厚さ0.635mmのセラミック板を用いており、この固定板8にI/Oピン5のピッチと等しいピッチで直径0.4mmの孔8aを9個形成している。孔8aの径は修理ピン6を起立させる際の位置精度によって規定されるがI/Oピン5および修理ピン6の直径よりも0.1mm程度大きい値であることが好ましい。

【0024】また接着剤9としてはエポキシ系或いはセラミック系のものを用いることが可能であり、この接着剤9を各ピン5、6と孔8aとの間に充填することが好ましい。

【0025】図5は図4のA-A線における縦断面図である。図に示すように、固定板8に形成した孔8aとI/Oピン5および修理ピン6との間には接着剤が充填され、かつ固定板8は各ピン5、6の根元に配設されている。このように、固定板8を各ピン5、6の根元に配設することで、これ等のピン5、6の強度を保証することが可能である。

【0026】図6はI/Oピン5および修理ピン6のヘッダー部全体に接着剤9を充填して固定板8と接着したものである。

【0027】この場合、接着剤9の内部で隣接する各ピン5、6どうしのマイグレーションが発生しないように、耐マイグレーション性に優れた接着剤9を選択する

ことが好ましい。

【0028】図7はI/Oピン5および修理ピン6のピッチと等しいピッチで9個の孔10aを形成すると共に、且つピン5、6のヘッダー部に対応する位置に凹部10bを形成した固定板10を用いた修理構造の断面図である。

【0029】固定板10の材質、厚さ等は前述の実施例における固定板8と同様である。

【0030】この場合、固定板10をセラミック基板1aの裏面に略直接接合させることが可能であり、各ピン5、6の固定板10からの突出長さを長くすることが可能となる。

【0031】図8はI/Oピン5および修理ピン6のピッチと等しいピッチで9個の孔11aを形成すると共に、孔11aの周囲にボス状の突起11bを形成した固定板11を用いた修理構造の断面図である。

【0032】固定板11の材質、厚さは前述の各実施例における固定板8、10と同様である。

【0033】この場合、固定板11と各ピン5、6の接触長さを長くすることが可能であり、修理ピン6をより強固に固定することが可能となる。

【0034】尚、前述の各実施例では、固定板8、10、11としてセラミック板を使用したか、この材質に限定するものではなく、電気的絶縁性、強度および耐熱性に優れたものであれば用いることが可能である。また固定板8、10、11に形成した孔8a、10a、11aの数は9個に限定するものではなく、修理ピン6の強度を維持し得る範囲内で選択すれば良い。

【0035】

【発明の効果】以上説明したように本発明は、セラミック等の多層配線基板の外部接続用のI/Oピンが破損した場合、この破損がセラミック基板の一部を脱落させるような重大なものであっても、この多層配線基板を修理することができる。このため、高価な多層基板を交換することなく電子装置を修理することができるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例の多層配線基板の修理構造を示す断面図である。

【図2】正常な多層配線基板の断面図である。

【図3】多層配線基板の修理工程を説明する断面図である。

【図4】多層配線基板の修理工程を説明する斜視図である。

【図5】多層配線基板の修理工程を説明する断面図である。

【図6】多層配線基板の他の修理構造を説明する断面図である。

【図7】多層配線基板の他の修理構造を説明する断面図である。

【図8】多層配線基板の他の修理構造を説明する断面図である。

【図9】I/Oピンの破損状態を説明する断面図である。

【図10】I/Oピンの破損状態を説明する側面図である。

【図11】I/Oピンの破損状態を説明する側面図である。

【図12】I/Oピンの破損状態を説明する側面図である。

【符号の説明】

1 多層配線基板

1a セラミック基板

* 1b 微細配線層

2 LSIチップ

3 スルーホール

4 取付パッド

5 I/Oピン

6 修理ピン

7 導電性接着剤

8, 10, 11 固定板

8a, 10a, 11a 孔

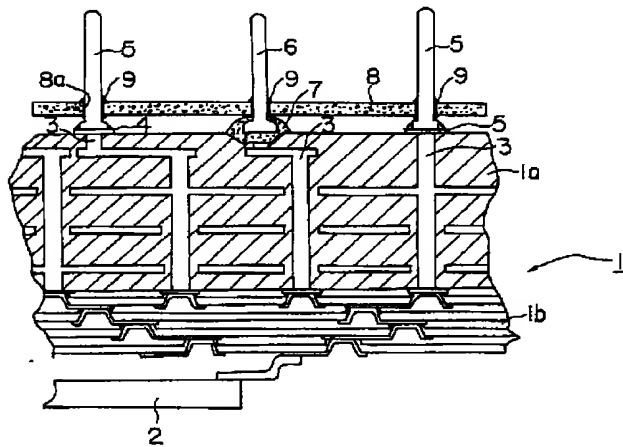
10 9 接着剤

11b 凹部

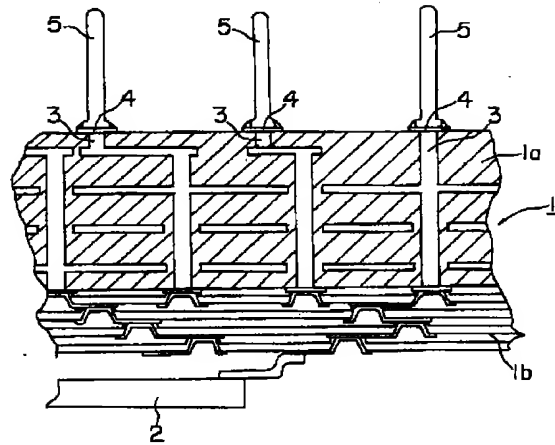
12 突起

*

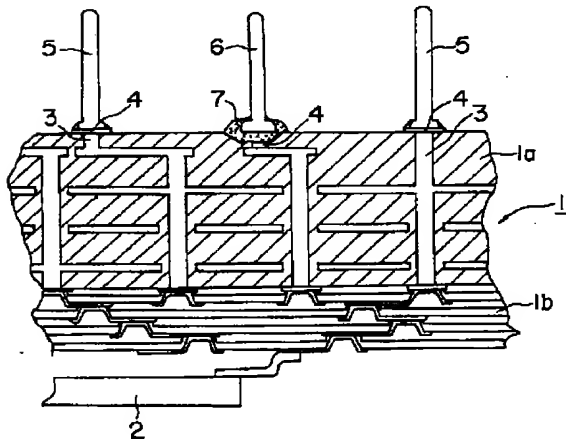
【図1】



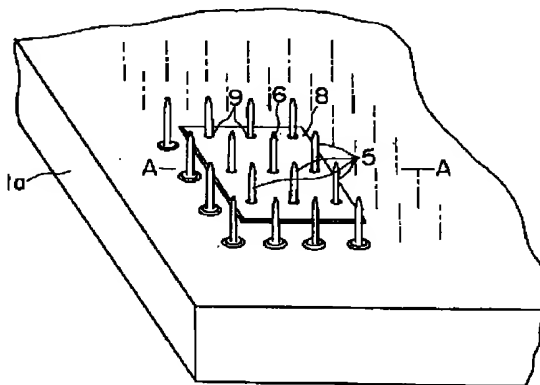
【図2】



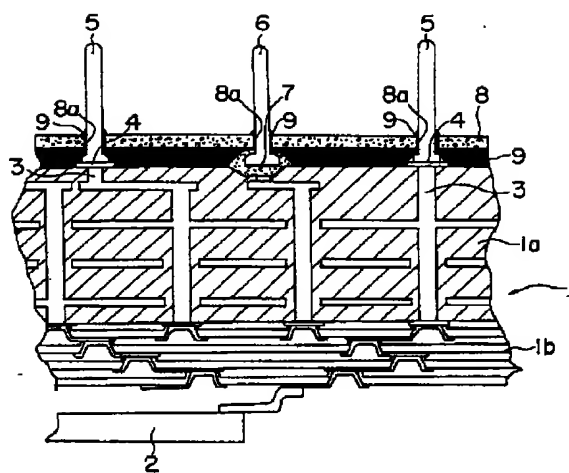
【図3】



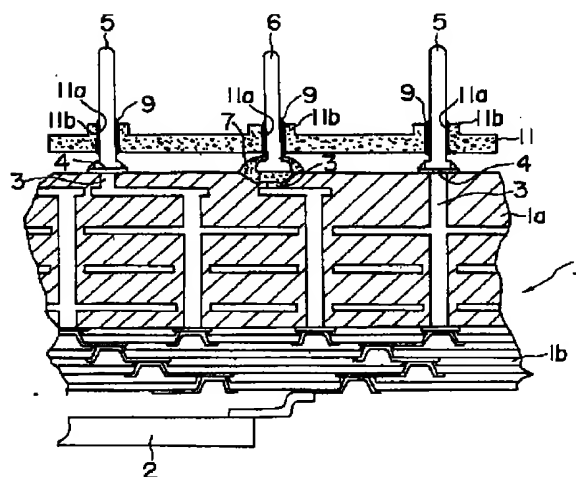
【図4】



【图 6】



【图 8】



【图 1 2】

